

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-200351

(43)Date of publication of application : 09.10.1985

(51)Int.Cl.

G06F 12/08

(21)Application number : 59-056013

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.03.1984

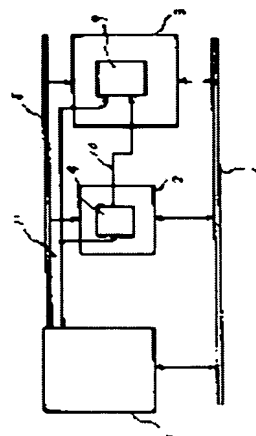
(72)Inventor : NAKAI KOICHI
FUJIOKA YOSHINORI
MIZUNO HIROYUKI

(54) MEMORY CONTROL SYSTEM

(57)Abstract:

PURPOSE: To minimize the loss of an access time of a memory by transmitting read signals simultaneously to a main memory and a buffer memory respectively, and discontinuing a start signal to a memory unit immediately before its output when a hit is detected.

CONSTITUTION: The read signal 11 is transmitted from a processor 1 and fetched by a buffer memory 2 and a main memory 3 at a time. Both memories 2 and 3 start to check the address information as the pre-processing. When a hit is detected by a hit deciding circuit 4 of the memory 2, a reading action cancel signal 10 is immediately outputted to the memory 3. In case no data exists at the memory 2 and a mishit is produced, the data outputted already to a memory data bus 6 for high-speed transfer of data is suppressed with an own hit signal. In such a way, the conflict with the data read out of the memory 3 later is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ Int.Cl.⁴
G 06 F 12/08識別記号 庁内整理番号
8219-5B

⑭ 公開 昭和60年(1985)10月9日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 記憶制御方式

⑯ 特 願 昭59-56013

⑰ 出 願 昭59(1984)3月26日

⑱ 発 明 者	中 井	幸 一	尾張旭市晴丘町池上1番地	株式会社日立製作所旭工場内
⑲ 発 明 者	藤 岡	良 記	尾張旭市晴丘町池上1番地	株式会社日立製作所旭工場内
⑳ 発 明 者	水 野	宏 幸	尾張旭市晴丘町池上1番地	株式会社日立製作所旭工場内
㉑ 出 願 人	株式会社日立製作所			東京都千代田区神田駿河台4丁目6番地
㉒ 代 理 人	弁理士 高橋 明夫			外1名

明 細 書

1 発明の名称 記憶制御方式

2 特許請求の範囲

1. 主記憶装置とバッファ記憶装置を制御する
記憶制御装置において、処理装置から主記憶装置とバッファ記憶装置に同時に読出し信号を送り、バッファ記憶装置からのヒット/ミスヒット判定を待たずに、主記憶装置からのデータ読出しの前処理を開始し、この後バッファ記憶装置からヒット信号が主記憶制御部に送信された場合には、主記憶制御部からメモリユニットへの起動信号を、出力直前に中止し、主記憶装置からの読出し処理をキャンセルし、バッファ記憶装置からの高速データ読出しに影響を与えず、メモリアクセスのロスを最小限に抑えるようにしたことを特徴とする記憶制御方式。

3 発明の詳細な説明

(発明の利用分野)

本発明は、主記憶装置とバッファ記憶装置か

ら成る記憶装置の制御方式に係り、両者に同時に起動をかけ、ヒット判定時のみ主記憶装置からの読出しをキャンセルし、メモリアクセスのロスを最小限に抑える記憶制御方式に関する。

(発明の背景)

従来の記憶装置の読出し制御は、先ずアクセス元からの読出し信号がバッファ記憶装置に伝達され、バッファ記憶装置では読出し信号に対して該当アドレスのデータがバッファ記憶装置に存在するか否かを判定し、バッファ記憶装置に存在しない場合のみ、主記憶装置からデータを読出するために主記憶装置に対してバッファ記憶装置から読出し信号を出力する方式をとっていた。

従って、該当アドレスデータがバッファ記憶装置に存在するか否かの判定が下された後でなければ主記憶装置の読出しができないため、ミスヒット時のアクセスタイムの増大につながっていた。

また、ヒット時には、処理装置(BPUという)からバッファ記憶装置のみに起動をかけて

いるため、バッファ記憶装置から主記憶装置へは読出し信号は出力されず、主記憶装置の影響を受けずバッファ記憶装置のデータを転送することができ制御も容易であった。

以降第1図に従って説明する。従来の方法では、第1図に示すようにBPU1からのメモリ読出し信号7は、バッファ記憶装置2に伝達され、同時にメモリアドレスバス5を介して送られたアドレスのヒット/ミスヒット判定を、バッファ記憶装置2内のヒット判定回路4で検出し、ミスヒット時はバッファ記憶装置2から主記憶装置3に対して改めて読出し信号8を出力し主記憶装置3のデータをメモリデータバス6を介してBPU1へ転送し、ヒット時にはバッファ記憶装置2からの読出し信号8は出力せず、バッファ記憶装置2内のデータをメモリデータバス6を介してBPU1に転送する方式をとっていた。ここで「BPU1からのメモリ読出し信号7」とは、BPU1からバッファ記憶装置2に対してメモリ読出しのための一連の処理の開始

を促す信号であり、「バッファ記憶装置2からの読出し信号8」とは、BPU1から送出されたアドレスのデータが、バッファ記憶装置2内に存在しないことが、バッファ記憶装置2内のヒット判定回路4で検出されると直ちに主記憶装置3に対してメモリ読出しのための一連の処理の開始を促す信号である。

又主記憶装置3の中には、ヒット判定回路4から出力された読出し信号を受ける主記憶制御部とメモリユニットが含まれる。

(発明の目的)

本発明の目的は、主記憶装置3とバッファ記憶装置2に同時に読出し信号を送出し、ヒット/ミスヒットの判定を待たず、主記憶装置3の読出し準備を開始し、この様ヒット判明時にはメモリユニットに対する起動信号を出力直前に中止する方法をとることにより、メモリアクセスタイムのロスを最小限に抑えるハードウェアを提供することにある。

(発明の概要)

本発明は、読出し信号を主記憶装置3とバッファ記憶装置2に同時に送信し、ヒット判定を待たず主記憶装置3とバッファ記憶装置2を同時にアクセス開始させることにより従来の方式に対してミスヒット時のメモリアクセスのロスを最小限に抑えると共に、ヒット時にはメモリユニットに対する起動信号を、出力直前に抑止し、バッファ記憶装置2のみ起動をかけ、バッファ記憶装置2からの高速データ読出しに対し、主記憶装置が影響を与えないよう対策したものである。

(発明の実施例)

以下、本発明の一実施例を説明する。

先ずオ2図で従来方式に対する本発明の違いを説明し、オ3図以降、本方式を実現する主記憶データの読出しキャンセル処理について説明する。

オ2図に示すようにBPU1からのメモリ読出し信号11は、バッファ記憶装置2と主記憶装置3に接続され、BPU1から両者に対して

各々のメモリ読出しのための一連の処理の開始を促す信号であり、メモリデータバス6は、BPU1と両記憶装置に接続されている。又メモリアドレスバス5もBPU1と両記憶装置に接続されている。以下読出し時の動作についてオ2図を参照して説明する。

先ずBPU1から送出されたメモリ読出し信号11は、バッファ記憶装置2と主記憶装置3に同時に取り込まれ、バッファ記憶装置2では、同時に出力されているアドレス情報のチェックを行ない、ヒット判定回路4により、ヒット/ミスヒットの判定をし、主記憶装置3では、この間、メモリユニットに対する起動の前処理として、取得アドレス情報のエラーチェックを開始する。

バッファ記憶装置2のヒット判定回路4によりヒットが判明すると、直ちにバッファ記憶装置2から主記憶装置3に対して、読出し動作キャンセル信号10が出力される。

又バッファ記憶装置2にデータが存在せず、

ミスヒットとなった場合には、バッファ記憶装置2は高速データ転送のため既にメモリデータバス6に出力しているデータを、自らのヒット判定回路4で生成した信号で抑止し、後に主記憶装置3から読出されるデータとの適合を防いでいる。

オ3図は上記動作を説明するフローであり、図に示す通り、バッファ記憶装置2、主記憶装置3共に、BPU1からのメモリ読出し信号11待ちの状態から、メモリ読出し信号11が出力されると同時に両者では実際のメモリユニット起動の前処理としてアドレス情報チェック等を開始する。

バッファ記憶装置2では同時にヒット/ミスヒットの判定を開始し、ヒット判明時には直ちに、ヒット判定回路4により、読出し動作キャンセル信号10を主記憶装置3に送信し、主記憶装置3内のメモリアクセスキャンセル回路9により、メモリユニット起動信号を出力する直前に、既にチェックしたエラーチェック結果を

無効とし、BPU1からのメモリ読出し信号はリセットされ、BPU1からの次のメモリ読出し信号11は受信待ちの状態に戻る。これにより、バッファ記憶装置2からの高速データ読出しは、主記憶装置3から読出したデータとの有効性チェックや主記憶装置の動作を全く意識せず行なうことが可能となる。

オ4図にヒット、ミスヒット時のメモリユニット起動信号抑止動作を説明するタイミングチャートを、オ5図に本タイミングを実現する回路図を示す。読出し動作は、先ずBPU1からのメモリ読出し信号11(オ4図ではA8YN信号)を基本クロックであるCLK信号によりラッチし、これによりメモリ読出し前処理が開始される。その後BPU1から送信されたアドレス情報(ADR8信号)はバッファ記憶装置2のヒット判定回路4でヒット/ミスヒットのチェックが行なわれ、オ4図に示すタイミングでHIT信号が主記憶装置3に送信される。

オ5図に示すT8とT信号によりHIT信号

をラッチし、メモリユニット(RAM)に対する起動信号(TIM信号)を、ヒット時のみ起動直前に抑止することにより、主記憶装置3の動作をキャンセルすることが可能である。

即ち、オ4図のミスヒット時は、HIT信号が出力されず、これをT8ET信号でセットするとTIMフリップフロップの0側出力がハイとなり主記憶に起動がかかり一連の読出しステージが動作後、END信号でローになり終了する。一方、ヒット時はHIT信号がハイのためTIMフリップフロップの0側出力はローのまま主記憶に起動をかけず、すぐにEND信号を出して終了する。

以上の如く、バッファ記憶からデータを読出しが可能なときは、主記憶に起動をかけず、主記憶からデータ読出しが必要なときは、主記憶制御に必要な動作を実行させることにより、主記憶読出しに要する時間を短縮しうる。

(発明の効果)

本発明によれば、従来方式のようなバッファ

記憶装置2内でのヒット判定を待ってから主記憶装置に起動をかける手法に対して、ミスヒット時の主記憶装置3からの読出しが主記憶装置3自身の読出しアクセスタイムのみに短縮できる。又バッファ記憶装置2ヒット時にも、本方式のように、BPU1からのメモリ読出し信号11は受け取るが、メモリユニットへの起動信号をヒット信号により抑止し、BPU1からの起動がなかったかのように終了させることにより、ヒット、ミスヒット時のバッファ記憶装置2からのデータと主記憶装置からのデータの有効性をチェックする必要もなくなる。これによりバッファ記憶装置2に対してヒットした時には、バッファ記憶装置2は主記憶装置3を全く意識せず自らのデータをメモリデータバス6に送出することが可能となり、メモリアクセスのロスを最小限に抑えることができた。

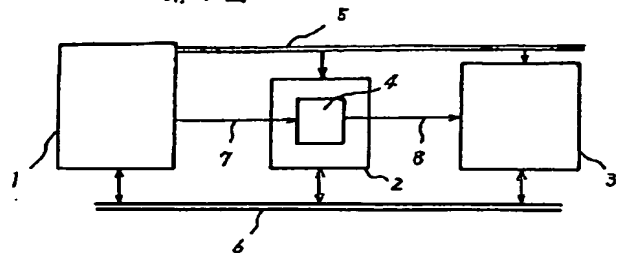
4 図面の簡単な説明

第1図は従来方式による記憶装置アクセス方式の説明図、第2図は本発明の一実施例の説明

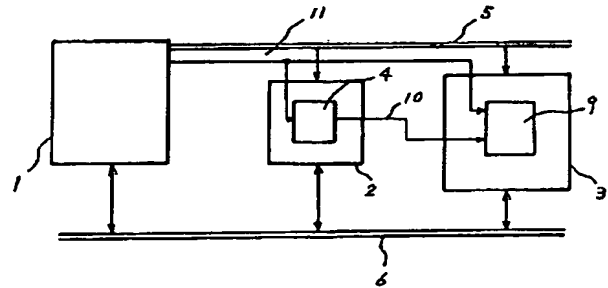
図、第3図は本発明の中のメモリアクセスキャンセルを説明するフロー図、第4図はヒット時のメモリユニット起動信号抑止のタイミングチャート図、第5図は第4図のタイミング実現回路図である。

1…BPU、2…バッファ記憶装置、3…主記憶装置、4…ヒット判定回路、5…メモリアドレスバス、6…メモリデータバス、10…読出し動作キャンセル信号、11…メモリ読出し信号。

第1図

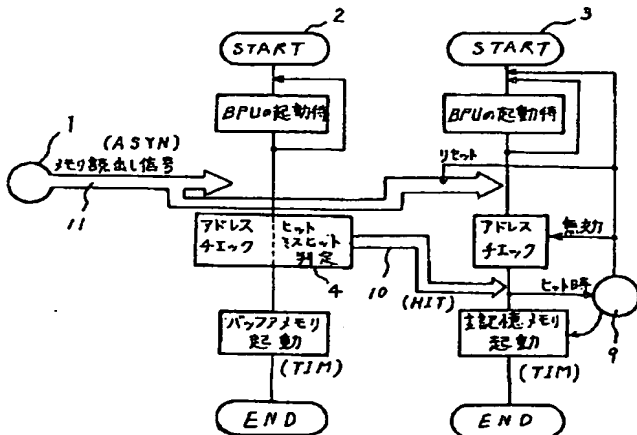


第2図

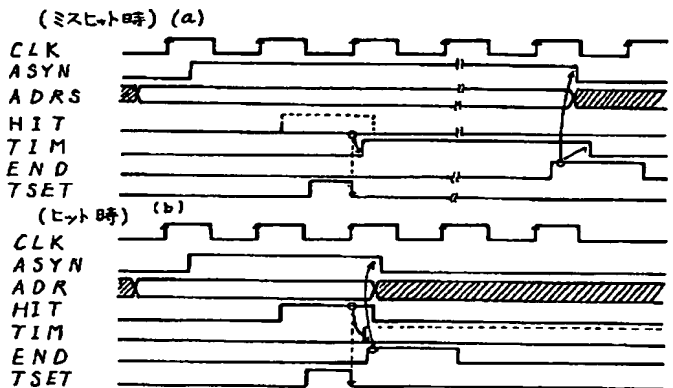


代理人弁理士 高橋 明 夫

第3図



第4図



第5図

